

SEMICONDUCTOR THIN FILM, MANUFACTURE THEREOF, AND THIN-FILM SEMICONDUCTOR DEVICE

Publication number: JP11074198 (A)

Publication date: 1999-03-16

Inventor(s): MAKITA NAOKI +

Applicant(s): SHARP KK +

Classification:


- international: *G02F1/136; G02F1/1368; H01L21/02; H01L21/20; H01L21/268; H01L21/336; H01L27/12; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): H01L21/20; H01L21/268; H01L21/336; H01L27/12; H01L29/786*

- European:

Application number: JP19970234368 19970829

Priority number(s): JP19970234368 19970829

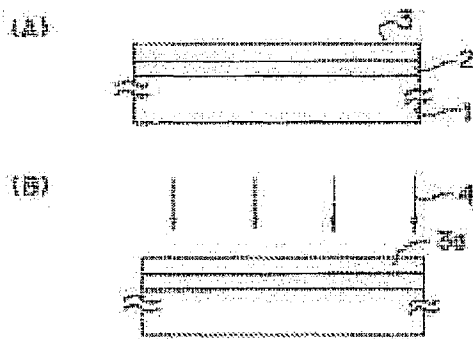
Also published as:

 JP3392325 (B2)

Abstract of JP 11074198 (A)

PROBLEM TO BE SOLVED: To lessen a semiconductor thin film in surface roughness so as to improve it in quality by a method, wherein an amorphous or micro-crystalline silicon film which contains hydrogen less than a certain value in concentration is irradiated with an energy beam.

SOLUTION: A silicon oxide base film 2 is formed on a glass board 1, and then an amorphous silicon (a-Si) film 3 is formed thereon, wherein the a-Si film 3 is less than 1×10^{20} atoms/cm³ in hydrogen concentration. Then, the a-Si film 3 is crystallized being irradiated with a laser beam 4 to turn into a crystalline silicon film 3a of high quality. It is found through an inter-atomic force microscope that the surface of the crystalline silicon film 3a is less than 5 nm in average roughness per 10 μ m or less. The amorphous silicon film 3 is as thick as 20 to 60 nm.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74198

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁵

識別記号

F I

H 0 1 L 21/20
21/268
27/12
29/786
21/336

H 0 1 L 21/20
21/268
27/12
29/78
F
R
6 1 8 A
6 2 7 G

審査請求 未請求 請求項の数13 O L (全 16 頁) 最終頁に続く

(21) 出願番号

特願平9-234368

(22) 出願日

平成9年(1997) 8月29日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 牧田 直樹

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

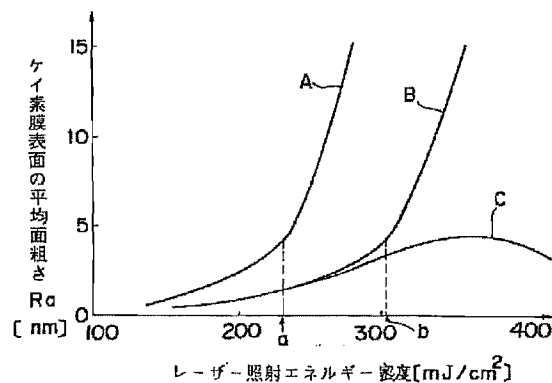
(74) 代理人 弁理士 青山 葆 (外1名)

(54) 【発明の名称】 半導体薄膜およびその製造方法および薄膜半導体装置

(57) 【要約】

【課題】 表面ラフネスを低減でき、高品質な半導体薄膜およびその製造方法を提供し、上記半導体薄膜を素子材料として、高性能でかつ信頼性、安定性が高く、複数の素子間の特性の均一性が高い薄膜半導体装置を提供する。

【解決手段】 絶縁表面を有する基板上に膜中水素濃度が 1×10^{20} atoms/cm³ 以下の非晶質または微結晶状態のケイ素膜を形成し、そのケイ素膜にエネルギービームを照射することによってケイ素膜を結晶化させる。



【特許請求の範囲】

【請求項1】 膜中水素濃度が 1×10^{20} atoms/cm³以下の非晶質または微結晶状態のケイ素膜にエネルギービームを照射することによって結晶化させたケイ素膜であることを特徴とする半導体薄膜。

【請求項2】 請求項1に記載の半導体薄膜において、上記非晶質または微結晶状態のケイ素膜の膜中水素濃度が 2×10^{19} atoms/cm³以下であることを特徴とする半導体薄膜。

【請求項3】 請求項1または2に記載の半導体薄膜において、上記エネルギービーム照射後のケイ素膜表面の平均面粗さRaは、5nm以下であり、かつ、上記ケイ素膜自体の膜剥がれが起こっていないことを特徴とする半導体薄膜。

【請求項4】 請求項3に記載の半導体薄膜において、上記ケイ素膜表面の平均面粗さRaは、原子間力顕微鏡によって $10 \mu\text{m}$ 以下の測定エリアに対して測定された値であることを特徴とする半導体薄膜。

【請求項5】 請求項1乃至4のいずれか1つに記載の半導体薄膜において、上記非晶質または微結晶状態のケイ素膜の厚さが20nmから60nmの範囲内であることを特徴とする半導体薄膜。

【請求項6】 膜中水素濃度が 1×10^{20} atoms/cm³以下の非晶質または微結晶状態のケイ素膜を堆積する工程と、上記ケイ素膜に対してエネルギービームを照射することによって、上記ケイ素膜を結晶化させる工程とを有することを特徴とする半導体薄膜の製造方法。

【請求項7】 請求項6に記載の半導体薄膜の製造方法において、上記非晶質または微結晶状態のケイ素膜を堆積する工程において、上記ケイ素膜の膜中水素濃度を 2×10^{19} atoms/cm³以下にしたことを特徴とする半導体薄膜の製造方法。

【請求項8】 請求項6または7に記載の半導体薄膜の製造方法において、上記非晶質または微結晶状態のケイ素膜を結晶化するためのエネルギービームは、波長500nm以下のレーザー光であることを特徴とする半導体薄膜の製造方法。

【請求項9】 請求項8に記載の半導体薄膜の製造方法において、上記波長500nm以下のレーザー光は波長308nmのXeClエキシマレーザー光であって、上記ケイ素膜に対して照射エネルギー密度が $250 \sim 400 \text{ mJ/cm}^2$ の範囲内の上記XeClエキシマレーザー光を照射することによって、上記ケイ素膜を結晶化させることを特徴とする半導体薄膜の製造方法。

【請求項10】 請求項6乃至9のいずれか1つに記載

の半導体薄膜の製造方法において、

上記膜中水素濃度を有する非晶質または微結晶状態のケイ素膜を堆積する工程において、シリコンターゲットを用いたスパッタリング法により上記ケイ素膜を堆積することを特徴とする半導体薄膜の製造方法。

【請求項11】 請求項6乃至9のいずれか1つに記載の半導体薄膜の製造方法において、上記膜中水素濃度を有する非晶質または微結晶状態のケイ素膜を堆積する工程を、 SiH_4 ガスを用いて、温度550℃以上の化学気相成長法により上記ケイ素膜を堆積することを特徴とする半導体薄膜の製造方法。

【請求項12】 絶縁表面を有する基板上に構成されたトップゲート型薄膜トランジスタを有する薄膜半導体装置において、上記薄膜トランジスタの活性領域を、請求項1乃至5のいずれか1つに記載の半導体薄膜を用いて形成したことを特徴とする薄膜半導体装置。

【請求項13】 絶縁表面を有する基板上に構成された画素電極を駆動する薄膜トランジスタを有し、上記薄膜トランジスタに上記画素電極による液晶容量と並列に補助容量が接続された薄膜半導体装置において、上記薄膜トランジスタのチャネル領域とその薄膜トランジスタに接続された上記補助容量を構成する一方の電極とを、請求項1乃至5に記載のいずれか1つの半導体薄膜を用いて形成したことを特徴とする薄膜半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、絶縁表面を有する基板上に設けられた薄膜トランジスタ等に用いられる半導体薄膜およびその製造方法に関し、さらに、その半導体薄膜を用いてアクティブマトリクス型の液晶表示装置、密着型イメージセンサ、三次元IC等を使用される薄膜半導体装置に関する。

【0002】

【従来の技術】 近年、大型で高解像度の液晶表示装置、高速で高解像度の密着型イメージセンサ、三次元IC等の実現に向けて、ガラス等の絶縁基板上や絶縁膜上に高性能な半導体素子を形成する試みがなされている。これらの装置に用いられる半導体素子には、ケイ素半導体薄膜を用いるのが一般的である。上記ケイ素半導体薄膜としては、非晶質ケイ素半導体(a-Si)からなる薄膜と結晶性を有するケイ素半導体からなる薄膜の2つに大別される。

【0003】 上記非晶質ケイ素半導体からなる薄膜は、作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられている。しかしながら、上記非晶質ケイ素半導体からなる薄膜は、結晶性を有するケイ素半導体からなる薄膜に比べて導電性等の物性が劣るため、より高速な特性を得るためには、結晶性を有するケイ素半導体からなる薄膜の製

造方法の確立が強く求められている。なお、結晶性を有するケイ素半導体としては、多結晶ケイ素、微結晶ケイ素等が知られている。

【0004】これら結晶性を有するケイ素半導体薄膜の製造方法としては、次の(1)～(3)がある。

【0005】(1) 成膜時に結晶性を有する膜を直接成膜する方法。

【0006】(2) 非晶質の半導体膜を成膜しておき、熱エネルギーを加えることにより結晶性化する方法。

【0007】(3) 非晶質の半導体膜を成膜しておき、レーザー光等の強光のエネルギーにより結晶化する方法。

【0008】上記(1)の方法では、成膜工程と同時に結晶化が進行するので、大粒径の結晶性ケイ素膜を得ることが難しく、結晶粒径を大きくするには、ケイ素膜の厚膜化が不可欠となる。しかしながら、例え厚膜化したとしても、基本的には膜厚と同程度の結晶粒径しか得られず、この(1)の方法により良好な結晶性を有するケイ素膜を作製することは原理的にほとんど不可能である。

【0009】また、(2)の方法は、結晶化のときに600℃以上の高温で数十時間にわたって加熱処理を行う必要があるため、生産性に非常に乏しい。また、固相結晶化現象を利用するため、結晶粒は基板面に平行に拡がり数 μm の粒径を有するものも現れるが、成長した結晶粒同士がぶつかり合って粒界が形成され、その粒界がキャリアに対するトラップ準位として働き、薄膜トランジスタの移動度を低下させる大きな原因となっている。さらに、それぞれの結晶粒は双晶構造を示し、一つの結晶粒内においても、いわゆる双晶欠陥と呼ばれる結晶欠陥が多量に存在している。

【0010】このため、現在は(3)の方法が主流となっている。この(3)の方法では、溶融固化過程を利用して結晶化するので、個々の結晶粒内の結晶性は非常に良好である。また、照射光の波長を選ぶことで、アニールの対象であるケイ素膜のみを効率的に加熱し、下層のガラス基板等への熱的損傷を防ぐことができると共に、(2)の方法のような長時間にわたる加熱処理が不要である。また、製造に用いられる装置面でも、高出力のエキシマレーザーアニール装置等が開発され、大面積基板に対しても対応可能になりつつある。

【0011】この(3)の方法を利用して、結晶性ケイ素薄膜を形成する方法が、特開平6-163588号公報に示されている。上記結晶性ケイ素薄膜を形成する方法では、結晶化された結晶性ケイ素膜に対して、研磨剤を用いてその表面を研磨して、結晶性ケイ素膜表面の凹凸を低減している。

【0012】また、特開平7-38110号公報に示されている結晶性ケイ素薄膜を形成する方法では、 $5 \times 10^{20} \text{ atoms/cm}^3$ 以下の低水素濃度の非晶質ケイ素膜を形成した後、エキシマレーザーや連続発振Arレーザー等

のレーザー光を照射し、上記非晶質ケイ素膜を溶融固化過程において結晶化している。

【0013】

【発明が解決しようとする課題】現在の技術において、高性能な薄膜半導体装置を実現するためには、その活性領域を構成するケイ素半導体薄膜の作製において、少なくとも上記(3)の方法を用いざるをえない。ところが、上記(3)の方法で得られる結晶性ケイ素膜では、その表面ラフネスの大きさに大きな問題がある。すなわち、上記(3)の方法では、非晶質ケイ素膜は、強光のエネルギーにより、その融点1414℃以上まで瞬時に加熱され、数十nsec程度の冷却時間で室温付近まで冷却されて固化する。このとき、あまりにも固化速度が速いので、ケイ素膜は過冷却状態となり、一瞬にして固化される結果、一般的に結晶粒径は100～200nm程度と非常に小さくなると共に、結晶粒がぶつかり合った点、すなわち結晶粒界は山状に盛り上がる。この現象は、特に3つの結晶粒がぶつかり合った三極点で顕著となる。この結晶成長に起因する山状の盛り上がりで以後「リッジ」と呼ぶ。

【0014】図7は実際に強光照射により結晶化された結晶性ケイ素膜の表面状態の原子間力顕微鏡(AFM)像を示している。図7において、X-Y方向のフルスケールは1 μm であり、Z方向のフルスケールは100nmである。図7に示すように、結晶性ケイ素膜の表面には、多くのリッジが存在する。このような結晶性ケイ素膜により、MOS型トランジスタ等の薄膜半導体装置の活性領域を作製すると、結晶性ケイ素膜表面のリッジに電界集中が起こるため、上層の絶縁膜の耐圧低下やリーク電流の原因となる。したがって、薄膜半導体装置としての信頼性が大きく低下し、実用に耐える薄膜半導体装置を得ることは非常に困難である。

【0015】また、液晶表示装置等のアクティブマトリクス基板においては、液晶容量と並列に補助容量が設けられているが、画素用薄膜トランジスタのチャネル部と共にその補助容量の電極として、上記結晶性ケイ素膜を用いた場合、そのリッジによる表面積率の変化のため、容量は設計値からずれて、表示むらやフリッカ等の表示不良を引き起こす原因となる。

【0016】上述の特開平6-163588号公報および特開平7-38110号公報は、上記問題点に対しての一つの解決策として提案されているが、実際にはこれらの技術を用いても上記問題点の解決にはならない。

【0017】なぜなら、特開平6-163588号公報の半導体薄膜の製造方法では、研磨剤により結晶性ケイ素膜の表面凹凸を研磨しているが、上記結晶性ケイ素膜は薄膜半導体装置の活性領域であり、MOSトランジスタにおいてはその表面はチャネル面を構成するため、この面に対してダメージを与えることは、好ましくない。上記研磨工程においては、結晶性ケイ素膜表面はかなり

の研磨ダメージを受け、このようなケイ素膜を活性領域を用い薄膜半導体装置を製造したとしても、この発明の目的とする高品質な半導体薄膜およびそれを用いた高信頼性および高性能な薄膜半導体装置は全く得られない。

【0018】また、特開平7-38110号公報の半導体薄膜の製造方法は、薄膜トランジスタにおける電界効果移動度の向上に注目したものであり、結晶性ケイ素膜の表面ラフネス(リッジ)について考慮されたものではない。実際に、本出願人が特開平7-38110号公報に従って薄膜トランジスタを作製し、評価を行ったところ、その活性領域となる結晶性ケイ素膜表面のラフネスは従来法に比べて大差なく、トランジスタ特性においては、高信頼性と高性能は両立できず、トレードオフの関係を示すことがわかっている。したがって、特開平7-38110号公報の技術だけでは、この発明の目的とする高品質な半導体薄膜およびそれを用いた高信頼性を有する高性能な薄膜半導体装置を得ることはできない。

【0019】そこで、この発明の目的は、表面ラフネスを低減でき、高品質な半導体薄膜およびその製造方法を提供することにある。

【0020】また、この発明のもう一つの目的は、上記半導体薄膜を用いて、表示品位の高い液晶表示装置等に使用される高信頼性を有する高性能な薄膜半導体装置を提供することにある。

【0021】

【課題を解決するための手段】この発明は、より大型でより高解像度のアクティブマトリクス液晶表示装置、同一基板上に液晶駆動用のドライバを作り込むドライバモノリシック型アクティブマトリクス液晶表示装置、高速で高解像度の密着型イメージセンサおよび三次元IC(集積回路)等を実現するために、それらを構成する半導体素子の活性領域となる高品質な半導体薄膜を供給することを目的とする。すなわち、この発明は、上述のようにレーザー光等の強光照射により得られる高品質な半導体薄膜における従来の問題点を解決するものである。具体的には、この発明は以下の特徴を有する。

【0022】上記請求項1の半導体薄膜は、膜中水素濃度が 1×10^{20} atoms/cm³以下の非晶質または微結晶状態のケイ素膜にエネルギービームを照射することによって結晶化させたケイ素膜であることを特徴としている。

【0023】本出願人は、エネルギービーム照射により結晶化された結晶性ケイ素半導体薄膜において、上述の問題点を解決することで、高性能な薄膜半導体装置や高表示品位の液晶表示装置等様々な分野に応用される高品質な結晶性ケイ素膜について研究した。その結果、ついに、上記ケイ素膜表面のリッジによる問題点が解決でき、目的とする高品質な結晶性ケイ素膜である半導体薄膜およびそれを用いた高信頼性で高性能な薄膜半導体装置を実現できることがわかった。

【0024】本出願人による実験では、エネルギービー

ム照射後におけるケイ素膜の表面ラフネスすなわちリッジの大きさは、エネルギービーム照射前のケイ素膜(出発膜)の水素濃度に大きく左右され、水素含有量が多いほど表面ラフネスも大きくなった。これだけなら、一般的にも考えられていることであるが、さらに膜中の水素濃度が極めて低くなったときに、全く考えられなかったような表面ラフネスの減少傾向を示すことがわかった。

【0025】図1はケイ素膜を結晶化するときのエネルギービームに波長308nmのXeClエキシマレーザーを用いた場合のレーザー光の照射エネルギー密度に対する結晶化後のケイ素膜表面の平均面粗さRaの変化を示している。なお、図1の横軸は結晶化のときにケイ素膜に照射されるレーザーの照射エネルギー密度を表し、縦軸はレーザー照射後のケイ素膜表面の平均面粗さRaを表している。

【0026】従来法でレーザー照射の出発膜として用いられている非晶質ケイ素膜は、一般的にプラズマCVD法により基板上に堆積させたものであり、膜中水素濃度は 1×10^{22} atoms/cm³程度と非常に高濃度である。このような膜にレーザー光を照射すると、その照射エネルギー密度に対する結晶化後のケイ素膜表面の平均面粗さRaは、照射エネルギー密度に対して図1のAで表されるような関係を示している。すなわち、ある照射エネルギー密度aより急激に表面ラフネスが大きくなり、それ以上の照射エネルギー密度では膜自身が飛散する。この原因としては、結晶化工程におけるリッジの発生に加えて、膜中水素の突沸が考えられる。

【0027】このため、上記のプラズマCVDにより得られた非晶質ケイ素膜に対して、450℃程度の熱処理を行って、脱水素化してからレーザー光照射を行うのが望ましい。上記熱処理後に得られたa-Si膜の膜中水素濃度は、 5×10^{20} atoms/cm³程度である。この膜にレーザー光を照射したとき、その照射エネルギー密度に対するケイ素膜表面の平均面粗さRaは、図1のBのような関係を示している。すなわち、急激に表面ラフネスが大きくなる点が、照射エネルギー密度bで示されるように、照射エネルギー密度のより高い側にシフトし、結果としてAに比べて、より高い照射エネルギー密度でレーザー光照射が行えるようになる。

【0028】上記膜中水素濃度が 2×10^{19} atoms/cm³以下のケイ素膜を出発膜としてレーザー照射した場合が、図1におけるCである。上記Bに比べ、急激なケイ素膜表面ラフネスの増大が全く見られないことがわかる。明らかに、BからCへの過程で大きな変化が生じていることが予想される。

【0029】図2は、図1における照射エネルギー密度がb以上の大きさとなる点(具体的には照射エネルギー密度350mJ/cm²)において、出発膜の膜中水素濃度と、レーザー照射後のケイ素膜表面の平均面粗さRaとの関係を示している。なお、図2の横軸は出発膜の膜中

水素濃度、縦軸はレーザー照射後のケイ素膜表面の平均面粗さRaを表している。

【0030】図2に示すように、出発膜における膜中水素濃度が減少するに従って、レーザー照射後の表面ラフネスも減少するが、膜中水素濃度が 1×10^{20} atoms/cm³より小さくなったときに、表面ラフネスを表す平均面粗さRaが急激に減少し、さらに、膜中水素濃度が 2×10^{19} atoms/cm³以下では、平均面粗さRaが飽和して安定している。

【0031】したがって、出発膜の膜中水素濃度を 1×10^{20} atoms/cm³以下とすることで、レーザー照射後のケイ素膜において、劇的に表面ラフネスが低減できる。これにより、レーザー照射工程における処理マージンが拡大すると共に、結晶化後のケイ素膜において膜質の均一性が向上する。さらに当然のことながら、表面ラフネスが低減でき、半導体素子における信頼性低下を防ぐことができ、また、結晶化のためのエネルギーを大きくすることができるため、より高品質な結晶性を有するケイ素膜が得られ、それを利用してより高性能な薄膜半導体装置を実現することが可能となる。

【0032】また、請求項2の半導体薄膜は、請求項1の半導体薄膜において、上記非晶質または微結晶状態のケイ素膜の膜中水素濃度が 2×10^{19} atoms/cm³以下であることを特徴としている。

【0033】上記請求項2の半導体薄膜によれば、図2について前述したように、出発膜における膜中水素濃度が減少するに従って、エネルギービーム照射後の表面ラフネスも減少するが、膜中水素濃度が 1×10^{20} atoms/cm³より小さくなると、表面ラフネスを表す平均面粗さが急激に減少し、さらに、膜中水素濃度が 2×10^{19} atoms/cm³以下では、平均面粗さが飽和して安定している。したがって、膜中水素濃度 2×10^{19} atoms/cm³以下とすることで、図1のCに見られるようにエネルギービーム照射時の照射エネルギー密度に依存せず、ケイ素膜の表面ラフネスを一定値以下に抑えることができる。

【0034】また、請求項3の半導体薄膜は、請求項1または2の半導体薄膜において、上記エネルギービーム照射後のケイ素膜表面の平均面粗さRaは、5nm以下であり、かつ、上記ケイ素膜自体の膜剥がれが起こっていないことを特徴としている。

【0035】上記請求項3の半導体薄膜によれば、例えば、トップゲート型の絶縁効果薄膜トランジスタにこの半導体薄膜を用いた場合では、活性領域表面(チャネル面)の平均面粗さRaが5nmを境として、それ以上の値となった場合には、急激な素子の信頼性低下(例えばゲート絶縁膜を介したリーク電流増大等)が生じる。しかしながら、活性領域であるケイ素膜の結晶性が向上するにつれて、素子性能が向上するため、従来法においては、ケイ素膜表面の平均面粗さRaが5nm程度となるようにしていた。これでは、ケイ素膜の結晶性を、ある程度以

上に向上することはできず、また、ケイ素膜表面の平均面粗さRaを5nm程度となるようにしても、エネルギービーム照射工程におけるばらつきのため、局所的にケイ素膜表面の平均面粗さRaが大きくなる領域が存在し、そこに形成された薄膜トランジスタは、信頼性が他の薄膜トランジスタに比べて劣っている。この発明の半導体薄膜では、例えばエネルギービーム照射工程において照射エネルギーがばらついても、ケイ素膜表面の平均面粗さRaが5nmで、かつ、膜剥がれが起こらないようにするので、全ての半導体素子において同様の高い信頼性が得られると共に、表面ラフネスにかかわらず、ケイ素膜の結晶化エネルギーを最適化できるため、所望の高品質な結晶性ケイ素膜である半導体薄膜およびそれを用いた高性能な薄膜半導体装置を得ることができる。

【0036】また、請求項4の半導体薄膜は、請求項3の半導体薄膜において、上記ケイ素膜表面の平均面粗さRaは、原子間力顕微鏡によって $10 \mu\text{m}^2$ 以下の測定エリアに対して測定された値であることを特徴としている。

【0037】上記請求項4の半導体薄膜によれば、上記ケイ素膜表面の平均面粗さRaとは、基準面(指定面の高さの平均値となるフラット面)から指定面までの偏差の絶対値を平均した値であり、

$$Ra = 1/S_0 \iint |F(X, Y) - Z_0| dX dY$$

で表される。なお、 S_0 は基準面の面積、 Z_0 は基準面の高さ、 $F(X, Y)$ は座標(X, Y)における指定面の高さを表している。この発明の半導体薄膜において定義される平均面粗さRaが、原子間力顕微鏡(AFM)で $10 \mu\text{m}^2$ 以下の測定エリアに対して測定された値であれば、サブnmオーダーまでの測定信頼性があり、この発明の主旨を損なうことはない。

【0038】また、請求項5の半導体薄膜は、請求項1乃至4のいずれか1つの半導体薄膜において、上記非晶質または微結晶状態のケイ素膜の厚さが20nmから60nmの範囲内であることを特徴としている。

【0039】上記請求項5の半導体薄膜によれば、厚さ60nm以下にケイ素膜を薄膜化することによって、レーザー光等のエネルギービームを照射し、熔融固化過程で結晶化するとき、ケイ素膜全体(表面から下層界面にわたって)が均一に熔融し、結晶粒が大きく成長すると共に、結晶粒径のばらつきも小さく抑えることができる。さらに、上記ケイ素膜を60nm以下に薄膜化することによって、上述のようにエネルギービーム照射後に得られる結晶性ケイ素膜表面の平均面粗さRaを、その照射エネルギーによらず、5nm以下に抑えることが可能となる。しかし、上記非晶質または微結晶状態のケイ素膜の厚さが20nm以下になると、エネルギービームの照射エネルギーが低い領域でも、ケイ素膜の膜飛びや膜剥がれが発生するようになり、半導体薄膜として用いるのは困難となる。

【0040】また、請求項6の半導体薄膜の製造方法は、膜中水素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 以下の非晶質または微結晶状態のケイ素膜を堆積する工程と、上記ケイ素膜に対してエネルギービームを照射することによって、上記ケイ素膜を結晶化させる工程とを有することを特徴としている。

【0041】上記請求項6の半導体薄膜の製造方法によれば、出発膜の膜中水素濃度を $1 \times 10^{20} \text{ atoms/cm}^3$ 以下とすることで、エネルギービーム照射後のケイ素膜において、劇的に表面ラフネスが低減できる。これにより、エネルギービーム照射工程における処理マージンが拡大すると共に、結晶化後のケイ素膜において膜質の均一性が向上する。さらに当然のことながら、表面ラフネスが低減でき、半導体素子における信頼性低下を防ぐことができると共に、結晶化のためのエネルギーを大きくすることができるため、より高品質な結晶性ケイ素膜が得られ、それを利用してより高性能な薄膜半導体装置を実現することが可能となる。

【0042】また、請求項7の半導体薄膜の製造方法は、請求項6の半導体薄膜の製造方法において、上記非晶質または微結晶状態のケイ素膜を堆積する工程において、上記ケイ素膜の膜中水素濃度を $2 \times 10^{19} \text{ atoms/cm}^3$ 以下にしたことを特徴としている。

【0043】上記請求項7の半導体薄膜の製造方法によれば、出発膜における膜中水素濃度が減少するに従って、エネルギービーム照射後の表面ラフネスも減少するが、膜中水素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ より小さくなると、表面ラフネスを表す平均面粗さが急激に減少し、さらに、膜中水素濃度が $2 \times 10^{19} \text{ atoms/cm}^3$ 以下では、平均面粗さが飽和して安定する。したがって、膜中水素濃度 $2 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることで、エネルギービーム照射時の照射エネルギーに依存せず、ケイ素膜の表面ラフネスを一定値以下に抑えることができる。

【0044】また、請求項8の半導体薄膜の製造方法は、請求項6または7の半導体薄膜の製造方法において、上記非晶質または微結晶状態のケイ素膜を結晶化するためのエネルギービームは、波長500nm以下のレーザー光であることを特徴としている。

【0045】上記請求項8の半導体薄膜の製造方法によれば、膜中水素濃度が所定値の非晶質または微結晶状態のケイ素膜を絶縁性基板等に堆積し、その後にエネルギービームを照射して結晶化させるとき、上記非晶質または微結晶状態のケイ素膜を結晶化するためのエネルギービームに波長500nm以下のレーザー光を用いる。そうすると、上記波長500nm以下のレーザー光は、ケイ素膜に対する吸収係数が極めて高いため、絶縁性基板に熱的ダメージを与えることなく、ケイ素膜のみを瞬時に加熱することができる。また、上記レーザー光を用いることで、非晶質ケイ素膜を瞬時に、融点1414℃に加熱

するだけの高出力化が可能となる。

【0046】また、請求項9の半導体薄膜の製造方法は、請求項8の半導体薄膜の製造方法において、上記波長500nm以下のレーザー光は波長308nmのXeClエキシマレーザー光であって、上記ケイ素膜に対して照射エネルギー密度が $250 \sim 400 \text{ mJ/cm}^2$ の範囲内の上記XeClエキシマレーザー光を照射することによって、上記ケイ素膜を結晶化させることを特徴としている。

【0047】上記請求項9の半導体薄膜の製造方法によれば、上記波長308nmのXeClエキシマレーザー光は、出力が大きいため、ケイ素膜を形成する基板に照射するときのビームサイズを大きくでき、大面積基板に対応しやすく、また出力も比較的安定しており、量産装置に適用する上で最も望ましい。また、上記エキシマレーザー光をケイ素膜に照射して結晶化するとき、 250 mJ/cm^2 以上の照射エネルギー密度であれば、薄膜ケイ素膜がほぼ完全に下層まで溶融し、高品質な結晶性ケイ素膜が得られる。しかしながら、 400 mJ/cm^2 以上の照射エネルギー密度においては、ケイ素膜の膜飛びや膜割がれが発生するため、これ以上エネルギーアップしても良好な状態の結晶性ケイ素薄膜は得られない。

【0048】また、請求項10の半導体薄膜の製造方法は、請求項6乃至9のいずれか1つの半導体薄膜の製造方法において、上記膜中水素濃度を有する非晶質または微結晶状態のケイ素膜を堆積する工程において、シリコンターゲットを用いたスパッタリング法により上記ケイ素膜を堆積することを特徴としている。

【0049】上記請求項10の半導体薄膜の製造方法によれば、堆積段階において膜中に取り込まれた水素原子は、その後に熱処理を行っても、所望の低濃度までは低減することはできないので、結晶化の出発膜としての非晶質ケイ素膜の形成は、堆積段階において十分に低水素濃度化しておく必要がある。上記シリコンターゲットを用いたスパッタリング法では、水素を用いることなく膜形成が行えるため、極めて低水素濃度の非晶質ケイ素膜が得られる。なお、このシリコンターゲットを用いたスパッタリング法では、ソースとなるシリコンターゲット自身の純度と、成膜前の装置チャンバー内の到達真空度の高さがポイントであり、ターゲットに高純度単結晶シリコンを用いて、成膜前の到達真空度を $1 \times 10^{-7} \text{ Torr}$ 以下にすることによって、膜中の水素濃度をさらに低減できると共に、より緻密な非晶質あるいは微結晶状態のケイ素膜が得られる。この場合、結晶成長に悪影響を与える酸素等の不純物も低減できる。

【0050】また、請求項11の半導体薄膜の製造方法は、請求項6乃至9のいずれか1つの半導体薄膜の製造方法において、上記膜中水素濃度を有する非晶質または微結晶状態のケイ素膜を堆積する工程を、 SiH_4 ガスを用いて、温度550℃以上の化学気相成長法により上記ケイ素膜を堆積することを特徴としている。

【0051】上記請求項11の半導体薄膜の製造方法によれば、極低水素濃度のケイ素薄膜の形成するには、 SiH_4 ガスを用いて、温度 550°C 以上の化学気相成長(CVD)法が有効である。このCVD法は、その成膜過程において水素が存在するため、スパッタリング法に比べて膜中の膜中水素濃度は必然的に多くなる。したがって、 Si_2H_6 に比べ、反応性の低い SiH_4 ガスを用いることによって、成膜温度を高めると共に成膜速度を低減し、得られるケイ素膜の膜中濃度を低減できる。また、所望の極低水素濃度のケイ素膜を得るためには、成膜時の温度が 550°C 以上である必要がある。また、熱CVD法は、常圧状態と減圧状態で行うものに大別できるが、膜中の水素濃度低減とケイ素膜の緻密性を高める意味から、減圧状態でのCVD法がより望ましい。このようにして形成したケイ素膜は、より低水素濃度という面ではスパッタリング法により形成されたケイ素膜には及ばないが、その他の不純物元素濃度は低くなる。

【0052】また、請求項12の薄膜半導体装置は、絶縁表面を有する基板上に構成されたトップゲート型薄膜トランジスタを有する薄膜半導体装置において、上記薄膜トランジスタの活性領域を、請求項1乃至5のいずれか1つの半導体薄膜を用いて形成したことを特徴としている。

【0053】上記請求項12の薄膜半導体装置によれば、上記トップゲート型薄膜トランジスタでは、活性領域表面に存在するリッジは、電界集中が生じるウィークポイントとなり、ゲート絶縁膜の耐圧特性を大きく損なわせ、また、リッジが存在する活性領域表面がトランジスタ動作におけるチャネル面となるため、キャリアに対する散乱中心ともなり、電界効果移動度の低下を招く。ところが、上記半導体薄膜を、MOS構造を有するトップゲート型薄膜トランジスタの活性領域として利用することによって、そのような耐圧不良や電界効果移動度の低下を防止できる。上記トップゲート型薄膜トランジスタは、この発明の半導体薄膜の効果を最も享受することができる薄膜半導体装置である。また、従来のレーザー結晶化の問題点である照射エネルギーのばらつきによる複数の薄膜トランジスタ間での特性ばらつきに対して、そのマージンを広げ、複数の薄膜トランジスタ間での特性ばらつきを最低レベルに抑えることができる。上記高品質な結晶性ケイ素膜である半導体薄膜は、上記トップゲート型薄膜トランジスタを初めとする薄膜半導体装置全般において、その活性領域に利用できる。

【0054】また、請求項13の薄膜半導体装置は、絶縁表面を有する基板上に構成された画素電極を駆動する薄膜トランジスタを有し、上記薄膜トランジスタに上記画素電極による液晶容量と並列に補助容量が接続された薄膜半導体装置において、上記薄膜トランジスタのチャネル領域とその薄膜トランジスタに接続された上記補助容量を構成する一方の電極とを、請求項1乃至5のいづ

れか1つの半導体薄膜を用いて形成したことを特徴としている。

【0055】上記請求項13の薄膜半導体装置によれば、液晶表示用のアクティブマトリクス基板では、ゲートパルス信号がオフされたときに発生する画素電極部における電圧降下現象を緩和するため、液晶画素容量と並列に補助容量を設けている。この補助容量が大きいほど上記電圧降下を小さくできるため、また、製造プロセス簡略の面からも、薄膜トランジスタのゲート絶縁膜と同一層により構成するのが最も望ましい。しかしながら、上記補助容量のばらつきは、画面上にフリッカ等の表示むらを引き起こす原因となる。従来のエネルギービーム照射により得られる結晶性ケイ素膜を用い補助容量電極を作製した場合には、リッジによる表面ラフネスのため補助容量がばらつき、良好な表示品位の液晶表示装置を得ることは難しかった。これに対して、上記液晶表示用のアクティブマトリクス基板において、上記半導体薄膜を用いて、画素用薄膜トランジスタのチャネル領域に加え、液晶画素容量と並列に接続された補助容量の一方の電極を構成することによって、表面ラフネスの絶対値およびばらつきが大きく低減されるため、補助容量のばらつきを抑え、表示むらのない表示品位の高い液晶表示装置が得られる。したがって、基板上に複数の薄膜トランジスタが配置された液晶表示用アクティブマトリクス基板のような薄膜半導体装置において、上記半導体薄膜を用いることによってさらにこの発明の効果が発揮できる。

【0056】

【発明の実施の形態】以下、この発明の半導体薄膜およびその製造方法および薄膜半導体装置を図示の実施の形態により詳細に説明する。

【0057】(第1実施形態)この発明の第1実施形態の半導体薄膜およびその製造方法および薄膜半導体装置について説明する。この第1実施形態では、ガラス基板上に高品質な結晶性を有するケイ素膜を作製し、さらにそのケイ素膜を用いて、液晶表示装置用のアクティブマトリクス基板を作製する工程について説明する。なお、上記アクティブマトリクス基板には、各画素電極をスイッチングするための素子としてN型薄膜トランジスタを形成している。また、実際のアクティブマトリクス基板では、数十万個以上の薄膜トランジスタが配列しているが、この第1実施形態では、説明を簡略化するために、任意の画素用薄膜トランジスタ一つに注目して説明を行う。

【0058】図3はこの第1実施形態のアクティブマトリクス基板の画素用薄膜トランジスタの作製工程を示す図であり、(A)から(E)の順に作製工程が順次進行する。また、図4はこの発明による結晶性ケイ素薄膜を形成するときの、レーザー光照射工程における概略図である。そして、図3および図4において、3aで示される

のがこの発明により得られる高品質な半導体薄膜としての結晶性ケイ素膜であり、完成した画素用薄膜トランジスタ17の断面を図3(E)に示している。

【0059】まず、図3(A)に示すように、ガラス基板1上に例えばスパッタリング法等によって厚さ300nm程度の酸化ケイ素からなる下地膜2を形成する。この酸化ケイ素膜は、ガラス基板からの不純物の拡散を防ぐために設けられる。次に、同じくスパッタリング法によって、厚さ20～60nm(例えば30nm)の非晶質ケイ素(以下、a-Siという)膜3を成膜する。上記下地膜2とa-Si膜3は、マルチチェンバー型スパッタリング装置を用い、大気中に出ることなく連続して形成するのがより望ましい。このようにすることで、上記下地膜2とa-Si膜3の界面特性が向上し、より安定した特性の薄膜トランジスタを得ることができる。上記a-Si膜3の成膜条件としては、基板全体を200℃に加熱し、成膜前の到達真空度を 1×10^{-7} Torr以下としてから、アルゴンガス雰囲気中にて成膜を行う。上記成膜ソースとしては、単結晶シリコンを用いた。このようにして得られたa-Si膜3の膜中水素濃度は、二次イオン質量分析法(SIMS)により測定した結果、 $5 \times 10^{18} \sim 1 \times 10^{19}$ atoms/cm³であった。なお、上記a-Si膜3の膜中水素濃度は、二次イオン質量分析法により測定されて、定義される値であるので、データの再現性も良好で、この発明に適用するのに十分な測定精度(測定下限は、 1×10^{18} atoms/cm³程度)を有しており、膜中水素濃度の値としての信頼性が高い。

【0060】次に、図3(B)に示すように、レーザー光4をa-Si膜3に照射し、a-Si膜3を結晶化して、高品質な結晶性ケイ素膜3aを形成する。このときのレーザー光として、XeClエキシマレーザー(波長308nm、パルス幅40nsec)を用いる。上記レーザー光4の照射条件は、照射時に基板を200～500℃(例えば400℃)に加熱し、照射エネルギー密度250～400mJ/cm²(例えば320mJ/cm²)とした。実際には、図4に示すように、長尺型ビーム形状を有するパルスレーザー光を順次走査することで、基板全面にわたってa-Si膜3を結晶化する。上記レーザー光は、図4において、基板表面におけるビームサイズが長辺W×短辺L(具体的には例えば150nm×1nm)の長尺矩形形状となるように、ホモジナイザーによって成型されており、その短辺方向20に順次走査される。また、上記レーザー光は、走査方向20に対して台形状の強度プロファイル19を有しており、a-Si膜3に対する溶融しきい値の強度が21のラインで示されている。したがって、その強度値でのビーム幅22が実際に結晶化に寄与する範囲であり、レーザー光の1パルスにて結晶化されるケイ素膜3aの幅は、ビーム幅22となる。

【0061】そして、上記レーザー光19を走査ピッチ23にて20の方向に走査しながら照射し、目的とする

高品質な結晶性ケイ素膜3aを基板1全面に形成する。上記レーザー光19では、走査ピッチを0.1nmと設定したため、ケイ素膜3の任意の一点につき計10回のレーザー照射が行われる。このようにして得られた結晶性ケイ素膜3a表面の平均面粗さRaを原子間力顕微鏡(AFM)にて、5μm²以下のエリアに対して測定すると3.5～4.5nm程度と、従来に比べ非常にスムーズな表面となった。また、上記結晶性ケイ素膜3aを構成する各結晶粒をTEM(透過型電子顕微鏡)にて観察すると、平均結晶粒径は250～300nm程度であり、結晶粒内の結晶欠陥が低く抑えられていた。また、上記結晶性ケイ素膜3aにおいて、ガラス基板1全面にわたる膜質の均一性を評価するため、ラマン分光法により結晶Siのフォノンピークを基板内の任意の100点で測定し、その均一性を評価した。その結果、そのピーク半値全幅は4.6～4.8cm⁻¹の範囲内であり、非常に良好な均一性を示した。これに対して、従来の結晶性ケイ素膜では、同様の測定にてピーク半値全幅は4.6～5.1cm⁻¹程度を示している。以上の工程により、高品質な結晶性ケイ素膜3aが得られる。

【0062】次に、上記結晶性ケイ素膜3aの不要な部分を除去することで、図3(C)に示すような素子間分離を行って、後に薄膜トランジスタの活性領域(ソース/ドレイン領域、チャネル領域)を構成する島状のケイ素膜5を形成する。

【0063】引き続き、図3(D)に示すように、上記の活性領域となる島状のケイ素膜5を覆うように厚さ20～150nm、ここでは100nmの酸化ケイ素膜をゲート絶縁膜7として成膜する。上記酸化ケイ素膜の形成には、ここではTEOS(Tetra Ethoxy Ortho Silicate)を原料とし、酸素とともに基板温度150～600℃(好ましくは300～450℃)で、RF(高周波)プラズマCVD法で分解・堆積した。あるいは、TEOSを原料としてオゾンガスとともに減圧CVD法または常圧CVD法によって、基板温度を350～600℃(好ましくは400～550℃)として形成してもよい。

【0064】引き続き、スパッタリング法によって、厚さ300～600nm(例えば400nm)のアルミニウム膜を成膜する。そして、上記アルミニウム膜をパターンニングして、ゲート電極8を形成する。上記ゲート電極8は、同層で形成されるゲートバスライン(図示せず)に接続されており、このゲートバスラインを介してゲート信号がゲート電極8に入力される。さらに、このアルミニウムのゲート電極8の表面を陽極酸化して、表面に酸化物層9を形成する。この状態が図3(D)に相当する。上記ゲート電極8の陽極酸化は、酒石酸が1～5%含まれたエチレングリコール溶液中で行い、最初一定電流で220Vまで電圧を上げ、その状態で1時間保持して終了させる。このようにして得られた酸化物層9の厚さは200nmである。なお、上記酸化物層9は、後のイオンド

ーピング工程において、オフセットゲート領域を形成する厚さとなるので、オフセットゲート領域の長さを上記陽極酸化工程で決めることができる。上記オフセットゲート領域によって、薄膜トランジスタのオフ動作時のリーク電流を低減する。

【0065】次に、図3(D)に示すように、イオンドーピング法によって、ゲート電極8とその周囲の酸化物層9をマスクとして活性領域に不純物(リン)10を注入する。このときのドーピングガスとして、フォスフィン(PH_3)を用い、加速電圧を60～90kV(例えば80kV)、ドーズ量を $1 \times 10^{15} \sim 8 \times 10^{16} \text{ cm}^{-2}$ (例えば $2 \times 10^{15} \text{ cm}^{-2}$)とする。この工程により、不純物が注入された領域12,13は、後に薄膜トランジスタのソース/ドレイン領域となり、ゲート電極8およびその周囲の酸化層9にマスクされ不純物が注入されない領域11は、後に薄膜トランジスタのチャネル領域を形成する。

【0066】その後、レーザー光の照射によってアニールを行って、イオン注入した不純物の活性化を行うと同時に、上記の不純物導入工程で結晶性が劣化した部分の結晶性を改善する。このとき、使用するレーザーとしてXeClエキシマレーザー(波長308nm、パルス幅40ns)を用い、照射エネルギー密度150～400mJ/cm²(好ましくは200～250mJ/cm²)で照射を行う。こうして形成されたN型不純物(リン)領域12,13のシート抵抗は、200～800Ω/□であった。

【0067】そして、図3(E)に示すように、厚さ60nm程度の酸化ケイ素膜を層間絶縁膜14として形成する。上記酸化ケイ素膜は、TEOSを原料として、これと酸素とのプラズマCVD法またはオゾンとの減圧CVD法あるいは常圧CVD法によって形成すると、段差被覆性に優れた良好な層間絶縁膜が得られる。

【0068】次に、上記層間絶縁膜14にコンタクトホールを形成して、ソース電極15と画素電極16を形成する。上記ソース電極15は、金属材料、例えば窒化チタンとアルミニウムの二層膜によって形成する。上記窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。また、上記ソース電極15と同層でソースバスライン(図示せず)を形成し、そのソースバスラインを介してソース電極15に映像信号を入力する。上記画素電極16は、ITO等の透明導電膜により形成される。

【0069】そして最後に、1気圧の水素雰囲気中で350℃で1時間程度のアニールを行い、図3(E)に示すN型薄膜トランジスタ17を完成させる。上記アニール処理には、薄膜トランジスタ17の活性領域/ゲート絶縁膜の界面に水素原子を供給し、薄膜トランジスタ特性を劣化させる不対結合手を低減する効果がある。なお、さらに薄膜トランジスタ17を保護する目的で、必要な箇所のみ SiH_4 と NH_3 を原料ガスとしたプラズマCVD

D法により形成された窒化ケイ素膜でカバーしてもよい。

【0070】上記第1実施形態に従って作製された薄膜トランジスタ17は、電界効果移動度で80～100cm²/Vs、しきい値電圧1.5～2Vという良好な特性を示した。また、パネル内の薄膜トランジスタの均一性は電界効果移動度で±8%程度、しきい値電圧で±0.2V程度と非常に良好であり、繰り返し測定しても特性の劣化は全く見られず、信頼性も非常に高いものであった。その結果、この第1実施形態にて作製されたアクティブマトリクス基板を用いて、液晶表示パネルを作製し、全面表示を行った結果、薄膜トランジスタ特性の不均一性に起因する表示むらは大きく低減され、信頼性の高い高表示品位の液晶表示装置ができた。

【0071】このように、出発膜の膜中水素濃度を $2 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることで、レーザー照射後の結晶性ケイ素膜3aにおいて、劇的に表面ラフネスが低減することができる。これによって、レーザー照射工程における処理マージンが拡大すると共に、結晶化後の結晶性ケイ素膜3aにおいて膜質の均一性が向上する。また、表面ラフネスが低減でき、半導体素子における信頼性低下を防止できると共に、結晶化のための照射エネルギーを大きくすることができるため、より高品質な結晶性ケイ素膜3aである半導体薄膜を得ることができる。そうして、その半導体薄膜を利用して、より高性能な薄膜半導体装置を実現することができる。また、図2に示すように、出発膜における膜中水素濃度が $2 \times 10^{19} \text{ atoms/cm}^3$ 以下では、平均面粗さRaが飽和して安定するので、膜中水素濃度を $2 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることによって、レーザー照射時の照射エネルギー密度に依存せず、ケイ素膜の表面ラフネスを一定値以下に抑えることができる。

【0072】また、レーザー照射工程において照射エネルギーがばらついていても、ケイ素膜表面の平均面粗さRaが一定値の5nmを越えないので、全ての半導体素子において同様の高い信頼性が得られると共に、表面ラフネスにかかわらず、ケイ素膜の結晶化エネルギーを最適化できるため、所望の高品質な結晶性ケイ素膜およびそれを用いた高性能な薄膜半導体装置を得ることができる。

【0073】また、定義される平均面粗さRaは、原子間力顕微鏡(AFM)にて、5μm□以下の測定エリアに対して測定された値であるので、サブnmオーダーまでの測定信頼性がある。

【0074】また、上記非晶質ケイ素膜3を厚さ30nmに薄膜化して、厚さ20nm～60nmの範囲内にすることによって、XeClエキシマレーザーを照射し、溶融固化過程で結晶化するとき、ケイ素膜全体(表面から下層界面にわたって)が均一に溶融し、結晶粒が大きく成長すると共に、結晶粒径のばらつきも小さく抑えることができる。さらに、上記XeClエキシマレーザー照射後に

得られる結晶性ケイ素膜3a表面の平均面粗さRaを、その照射エネルギーによらず、5nm以下に抑えることができる。

【0075】また、上記非晶質ケイ素膜3を結晶化するためのエネルギービームに波長500nm以下のXeClエキシマレーザー(波長308nm)を用いると、非晶質ケイ素膜3に対する吸収係数が極めて高いため、ガラス基板1に熱的ダメージを与えることなく、非晶質ケイ素膜3のみを瞬時に加熱することができる。また、上記レーザー光を用いることで、非晶質ケイ素膜3を瞬時に、融点1414℃に加熱するだけの高出力化が可能となる。

【0076】また、上記シリコンターゲットを用いたスパッタリング法では、水素を用いることなく膜形成が行えるため、極めて低水素濃度の非晶質ケイ素膜3を得ることができる。

【0077】また、上記MOS構造を有するトップゲート型薄膜トランジスタ17の活性領域を結晶性ケイ素膜3aにより形成したので、活性領域表面がなめらかになり、電界集中が生じてゲート絶縁膜の耐圧特性を大きく損うリッジを低減でき、薄膜トランジスタの電界効果移動度が大きくなる。また、照射エネルギー密度のばらつきによる複数の薄膜トランジスタ間での特性ばらつきを最低レベルに抑えることができる。したがって、このようなガラス基板1上に複数の薄膜トランジスタ17が配置された液晶表示用アクティブマトリクス基板等の薄膜半導体装置において、さらにこの発明の効果を発揮することができる。

【0078】(第2実施形態) この発明の第2実施形態の半導体薄膜およびその製造方法および薄膜半導体装置について説明する。この第2実施形態でも、ガラス基板上に液晶表示装置用のアクティブマトリクス基板を作製するときの工程について説明する。上記アクティブマトリクス基板は、各画素電極をスイッチングするための素子としてN型薄膜トランジスタを形成し、そのドレイン領域側には画素液晶容量と並列に補助容量を設けている。

【0079】図5はこの第2実施形態の半導体薄膜を用いたアクティブマトリクス基板の任意の画素部分を示す平面図である。図6(A)~(E)は画素用薄膜トランジスタの製造工程を示し、図6(A)から(E)の順に工程が順次進行する。図6(E)は図5のVI_E-VI_E線から見た断面図を示し、47は画素スイッチング用のN型薄膜トランジスタ、48は補助容量である。また、この発明による高品質な半導体薄膜としての結晶性ケイ素膜は、図6(B)において示される35である。

【0080】まず、図6(A)に示すように、ガラス基板31上に減圧CVD法によって厚さ300nm程度の酸化ケイ素膜からなる下地膜32を形成する。そして、酸化ケイ素膜32上に、減圧CVD法によって、厚さ40nm程度の真性(I型)の非晶質ケイ素膜(a-Si膜)33を

成膜する。このときの成膜条件としては、成膜材料としてSiH₄ガスを用い、基板温度(反応温度)550~600℃(例えば580℃)として、ガス圧が0.05~0.3Torr(例えば0.15Torr)として、a-Si膜33の堆積を行った。このようにして得られたa-Si膜33の膜中水素濃度をSIMSにより分析した結果、 $2 \times 10^{19} \sim 7 \times 10^{19}$ atoms/cm³程度であった。水素濃度の絶対値としては、第1実施形態のスパッタリング法に比較して大きい。水素以外の元素として、結晶成長に悪影響を与える酸素の膜中濃度は、 $5 \times 10^{17} \sim 1 \times 10^{18}$ atoms/cm³と非常に低濃度であった。

【0081】次に、第1実施形態で述べた方法と同様の方法を用い、a-Si膜33にXeClエキシマレーザー(波長308nm、パルス幅40nsec)光34を順次走査しながら照射し、a-Si膜33の結晶化を行う。この工程により、ケイ素膜は溶融・固化され、基板全面にわたって膜質の均一性の良好な高品質な結晶性ケイ素膜となる。ここで、原子間力顕微鏡(AFM)により、結晶性ケイ素膜表面の平均面粗さRaを測定すると、4~5nm程度の値であり、基板全体においてほぼ同様の値を示した。同様のレーザー照射条件にて作製された従来の結晶性ケイ素膜では、表面の平均面粗さRaが4~9nmの範囲内にわたって、特に絶対値が大きくなる方向に対して大きくばらつく。この主なばらつきは局所的なばらつきであり、この発明では、こういった局所的な特異点・異常点等に起因するばらつきが大きく低減される。この第2実施形態で得られた結晶性ケイ素膜の結晶粒径は300~400nm程度であり、第1実施形態のスパッタリング法により得られた結晶性ケイ素膜に比べて、若干大きくなっている。

【0082】次に、上記結晶性ケイ素膜の不要な部分を除去することで、図6(B)に示すような素子間分離を行って、後に薄膜トランジスタの活性領域(ソース/ドレイン領域、チャネル領域)および補助容量の下部電極を構成する島状の結晶性ケイ素膜35を形成する。このときの状態を基板上方より見ると、図5において35で示されるような形状にケイ素膜が形成されている。

【0083】次に、図6(C)に示すように、上記結晶性ケイ素膜35の島状領域上にフォトレジストを塗布し、露光・現像してマスク36とする。上記マスク36により、後に薄膜トランジスタのチャネル領域となる部分のみが覆われた状態となっている。そして、イオンドーピング法によって、フォトレジスト36をマスクとして不純物(リン)40を注入する。このときのドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を5~30kV(例えば15kV)、ドーズ量を $1 \times 10^{15} \sim 8 \times 10^{15}$ cm⁻²(例えば 2×10^{15} cm⁻²)とする。この工程により、不純物が注入された領域42は、後の薄膜トランジスタ47のソース領域となると共に、不純物が注入された領域43は、薄膜トランジスタ47のドレイン領

域と補助容量48の下部電極43を形成する。上記フォトレジスト36にマスクされ不純物が注入されない領域41は、後に薄膜トランジスタ47のチャネル領域となる。

【0084】次に、図6(D)に示すように、フォトレジスト36を除去し、島状の結晶性ケイ素膜35を緻うように厚さ20～150nm(ここでは100nm)の酸化ケイ素膜をゲート絶縁膜37として成膜する。この酸化ケイ素膜の形成には、TEOS(Tetra Ethoxy Ortho Silicate)を原料とし、酸素とともに基板温度150～600℃(好ましくは300～400℃)で、RFプラズマCVD法で分解・堆積した。そして、成膜後、ゲート絶縁膜37自身のバルク特性および結晶性ケイ素膜とゲート絶縁膜との界面特性を向上するために、不活性ガス雰囲気下で400～600℃で数時間のアニールを行う。それと同時に、このアニール処理により、領域42および43にドーピングされた不純物が活性化され、領域42および43が低抵抗化された結果、そのシート抵抗は800～2000Ω/□となる。

【0085】引き続いて、スパッタリング法によって、厚さ300～500nm(例えば400nm)のアルミニウム膜を成膜する。そして、アルミニウム膜をパターニングして、ゲート電極38aと補助容量48の上部電極38bを形成する。ここで、ゲート電極38aは平面的に見れば、図5に示すように、No. nのゲートバスラインを構成しており、補助容量48の上部電極38bはNo. n+1のゲートバスラインを構成する。

【0086】そして、図6(E)に示すように、厚さ500nm程度の酸化ケイ素膜を層間絶縁膜44として形成する。上記酸化ケイ素膜は、TEOSを原料として、これと酸素とのプラズマCVD法またはオゾンとの減圧CVD法あるいは常圧CVD法により形成することによって、段差被覆性に優れた良好な層間絶縁膜が得られる。

【0087】次に、層間絶縁膜44にコンタクトホールを形成して、ソース電極45と画素電極46を形成する。ソース電極45は、金属材料、例えば窒化チタンとアルミニウムの二層膜によって形成する。上記窒化チタン膜は、アルミニウムが半導体層に拡散するのを防止する目的のバリア膜として設けられる。上記画素電極46は、ITO等の透明導電膜により形成される。このときの状態を基板上方より見れば、図5に示すように、ソース電極45は、薄膜トランジスタ47に映像信号を伝達するソースバスラインを構成しており、各バスライン間に画素電極46が配置されている。

【0088】そして最後に、1気圧の水素雰囲気中で350℃で1時間程度のアニールを行い、図6(E)に示す薄膜トランジスタ47および補助容量48を完成させる。上記アニール処理により、薄膜トランジスタ47の活性領域とゲート絶縁膜との界面へ水素原子を供給し、薄膜トランジスタ特性を劣化させる不対結合手を低減す

る効果がある。さらに、上記薄膜トランジスタ47を保護する目的で、必要な箇所のみプラズマCVD法により形成された窒化ケイ素膜でカバーしてもよい。

【0089】上記第2実施形態に従って作製された薄膜トランジスタは、第2実施形態と同様の良好な特性を示すに加えて、そのチャネル領域41とその補助容量48の下部電極43の表面平均粗さRaを共に4～5nm程度の範囲内に全て抑えて、ゲート絶縁膜37を介したリーク電流はほとんどなく、それぞれの容量の不均一性も小さく抑えられる。その結果、この第2実施形態にて作製されたアクティブマトリクス基板を用い、液晶表示パネルを作製し、全面表示を行った結果、信頼性が高く、表示むらの無い高表示品位の液晶表示装置ができた。

【0090】このように、出発膜の膜中水素濃度を 1×10^{20} atoms/cm³以下とすることで、レーザー照射後の結晶性ケイ素膜35において、劇的に表面ラフネスを低減することができる。これによって、レーザー照射工程における処理マージンが拡大すると共に、結晶化後の結晶性ケイ素膜35において膜質の均一性が向上する。また、表面ラフネスが低減でき、半導体素子における信頼性低下を防止できると共に、結晶化のためのエネルギーを大きくすることができるため、より高品質な結晶性ケイ素膜35である半導体薄膜を得ることができる。そうして、その半導体薄膜を利用して、より高性能な薄膜半導体装置を実現することができる。

【0091】また、レーザー照射工程において照射エネルギーがばらついても、ケイ素膜表面の平均面粗さRaが一定値の5nmを越えないので、全ての半導体素子において同様の高い信頼性が得られると共に、表面ラフネスにかかわらず、ケイ素膜の結晶化エネルギーを最適化できるため、所望の高品質な半導体薄膜としての結晶性ケイ素膜およびそれを用いた高性能な薄膜半導体装置を得ることができる。

【0092】また、定義される平均面粗さRaは、原子間力顕微鏡(AFM)にて、5μm□以下の測定エリアに対して測定された値であるので、サブnmオーダーまでの測定信頼性がある。

【0093】また、上記非晶質ケイ素膜33を厚さ40nmに薄膜化して、厚さ20nm～60nmの範囲内にすることによって、XeClエキシマレーザーを照射し、熔融固化過程で結晶化するとき、ケイ素膜全体(表面から下層界面にわたって)が均一に熔融し、結晶粒が大きく成長すると共に、結晶粒径のばらつきも小さく抑えることができる。さらに、上記XeClエキシマレーザー照射後に得られる結晶性ケイ素膜35表面の平均面粗さRaを、その照射エネルギーによらず、5nm以下に抑えることができる。

【0094】また、上記非晶質ケイ素膜33を結晶化するためのエネルギービームに波長500nm以下のXeClエキシマレーザー(波長308nm)を用いると、非晶質ケ

イ素膜33に対する吸収係数が極めて高いため、ガラス基板31に熱的ダメージを与えることなく、非晶質ケイ素膜33のみを瞬時に加熱することができる。また、上記レーザー光を用いることで、非晶質ケイ素膜33を瞬時に、融点1414℃に加熱するだけの高出力化が可能となる。

【0095】また、極低水素濃度の非晶質ケイ素膜33を化学気相成長法により形成するとき、反応性の低い SiH_4 ガスを用いることで、成膜温度を高めると共に成膜速度を低減し、非晶質ケイ素膜33の膜中水素濃度を低減することができる。また、成膜時の基板温度が550℃以上にするることによって、極低水素濃度の非晶質ケイ素膜33を得ることができる。このようにして形成された非晶質ケイ素膜33は、より低水素濃度という面ではスパッタリング法により形成された非晶質ケイ素膜には及ばないが、その他の不純物元素濃度を低くすることができる。

【0096】また、上記高品質な結晶性ケイ素膜35である半導体薄膜は、上記トップゲート型薄膜トランジスタを初めとする薄膜半導体装置全般において、その活性領域に利用できる一方、液晶表示用のアクティブマトリクス基板において、上記半導体薄膜を用いて、画素用薄膜トランジスタ47のチャネル領域と共に、液晶画素容量と並列に接続された補助容量48の一方の電極を構成するので、その補助容量48の一方の電極の表面ラフネスの絶対値およびばらつきが大きく低減され、補助容量48のばらつきを抑えて、表示むらのない表示品位の高い液晶表示装置が得られる。

【0097】以上、この発明に基づく第1,第2実施形態について具体的に説明したが、この発明は上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。

【0098】例えば、上記第1,第2実施形態において、低水素濃度の非晶質ケイ素膜の形成方法として、スパッタリング法と550℃以上の熱CVD法を用いたが、その他の方法でも、この発明における膜中水素濃度を満足する方法であれば、特に問題なく、この発明の効果が得られる。

【0099】また、非晶質ケイ素膜以外に微結晶成分を有するケイ素膜を用いても、同様の効果が得られる。特に、微結晶成分を有するケイ素膜を用いた場合には、レーザー照射工程における熔融固化過程において微結晶成分を核とした結晶化が行われ、結晶粒径がより大きく、結晶粒径が揃った均一な結晶性ケイ素膜が得られる。

【0100】また、 $\alpha\text{-Si}$ 膜の結晶化工程におけるエネルギービームとしてXeClエキシマレーザーを用いたが、その他のエネルギービームも勿論、利用可能である。例えば、赤外光、フラッシュランプを使用して短時間に1000～1200℃まで上昇させて加熱するRTA(ラピッド・サーマル・アニールまたはRTP(ラピッ

ド・サーマル・プロセスともいう))等のいわゆるレーザー光と同等の強光を用いてもよい。さらに、レーザー光としては、波長248nmのKrFエキシマレーザーや、波長488nmの連続発振Arレーザー等も同様に適用可能であり、同様の効果が得られる。

【0101】また、上記第1,第2実施形態では、この発明による半導体薄膜および薄膜半導体装置としての薄膜トランジスタを用いた液晶表示装置用のアクティブマトリクス基板についての説明を行ったが、上記薄膜トランジスタは、アクティブマトリクス基板以外に薄膜集積回路全般に利用できる。すなわち、アクティブマトリクス部の周辺に駆動用回路を同一形成するドライバモノリシック型のアクティブマトリクス基板も同様に実現可能である。勿論、上記N型薄膜トランジスタに加えて、P型薄膜トランジスタを相補的に構成し、CMOS回路を作製することも可能である。このように薄膜集積回路に上記薄膜トランジスタを利用する場合は、第1実施形態において、画素電極16を金属による電極・配線とし、ゲート電極8上にもコンタクトホールを形成して必要とする配線を施せばよい。また、CMOS回路を作製する場合には、それぞれの不純物のドーピング工程において、不必要な領域をフォトレジストで覆うことにより、N型領域、P型領域を選択形成すればよい。さらに、液晶表示用のアクティブマトリクス型基板以外に、例えば、密着型イメージセンサ、ドライバ内蔵型のサーマルヘッド、有機系EL等を発光素子としたドライバ内蔵型の光書き込み素子や表示素子、三次元IC等はこの発明の薄膜半導体装置を適用してもよい。この場合、これらの素子の高速化、高解像度化等の高性能化を実現することができる。さらにこの発明は、上述の第1,第2実施形態で説明したMOS型トランジスタに限らず、結晶性半導体を素子材料としたバイポーラトランジスタや静電誘導トランジスタをはじめとして幅広く半導体プロセス全般に応用することができる。

【0102】

【発明の効果】以上より明らかなように、請求項1の発明の半導体薄膜は、絶縁表面を有する基板上に形成された結晶性を有する半導体薄膜であって、膜中水素濃度が $1 \times 10^{20} \text{ atoms/cm}^3$ 以下の非晶質または微結晶状態のケイ素膜にエネルギービームを照射することによって上記ケイ素膜を結晶化させたものである。

【0103】したがって、請求項1の発明の半導体薄膜によれば、レーザー光等のエネルギービーム照射により結晶化された結晶性ケイ素膜において、表面のラフネスを大幅に低減することができると共に、表面ラフネスに制限されることなく、最適な照射エネルギーを加えて結晶化できるようになり、従来法では得ることができなかった高品質な結晶性ケイ素膜を得ることができる。また、パルスレーザー順次走査により結晶化された結晶性ケイ素膜においては、従来の課題であった膜質の不均一

性を改善することができる。そして、上記半導体薄膜を素子材料とする薄膜半導体装置全般において、高性能でかつ信頼性、安定性が高く、複数の素子間の特性均一性の高い薄膜半導体装置を実現することができる。特に、液晶表示装置においては、高信頼性を有し、結晶性ケイ素膜の不均一性による表示不良のない表示品位の高い液晶表示装置が、簡単な製造プロセスにて得られる。さらに、周辺駆動回路部を構成する薄膜トランジスタに要求される高性能化・高集積化・特性均一化が図れ、同一基板上にアクティブマトリクス部と周辺駆動回路部を構成するフルドライバモノリシック型のアクティブマトリクス基板を実現でき、モジュールのコンパクト化、高性能化、低コスト化が図れる。

【0104】また、請求項2の発明の半導体薄膜は、請求項1の半導体薄膜において、上記非晶質または微結晶状態のケイ素膜の膜中水素濃度が 2×10^{19} atoms/cm³以下であるので、エネルギービーム照射時の照射エネルギー密度に依存せず、結晶化されたケイ素膜の表面ラフネスを一定値以下に抑えることができる。

【0105】また、請求項3の発明の半導体薄膜は、請求項1または2の半導体薄膜において、上記エネルギービーム照射後のケイ素膜表面の平均面粗さRaは、5nm以下であり、かつ、上記ケイ素膜自体の膜剥がれが起こっていないので、例えばエネルギービーム照射工程において照射エネルギー密度がばらついていても、ケイ素膜表面の平均面粗さRaが一定値以上にはならないので、全ての半導体素子において同様の高い信頼性が得られると共に、表面ラフネスにかかわらず、ケイ素膜の結晶化エネルギーを最適化でき、所望の高品質な半導体薄膜としての結晶性ケイ素膜およびそれを用いた高性能な薄膜半導体装置を得ることができる。

【0106】また、請求項4の発明の半導体薄膜は、請求項3の半導体薄膜において、上記ケイ素膜表面の平均面粗さRaは、原子間力顕微鏡によって $10 \mu\text{m}^2$ 以下の測定エリアに対して測定された値であるので、サブnmオーダーまでの測定信頼性があり、この発明の主旨を損なうことはない。

【0107】また、請求項5の発明の半導体薄膜は、請求項1乃至4のいずれか1つの半導体薄膜において、上記非晶質または微結晶状態のケイ素膜の厚さが20nmから60nmの範囲内であるので、厚さ60nm以下にケイ素膜を薄膜化することによって、レーザー光等のエネルギービームを照射し、溶融固化過程で結晶化するとき、ケイ素膜全体(表面から下層界面にわたって)が均一に溶融し、結晶粒が大きく成長すると共に、結晶粒径のばらつきも小さく抑えることができる。さらに、上記ケイ素膜を60nm以下に薄膜化することによって、エネルギービーム照射後に得られる結晶性ケイ素膜表面の平均面粗さRaを、その照射エネルギーによらず、5nm以下に抑えることが可能となる。なお、上記ケイ素膜の厚さが2

0nm以下になると、エネルギービームの照射エネルギーが低い領域でも、ケイ素膜の膜飛びや膜剥がれが発生し、半導体薄膜として利用することが困難になる。

【0108】また、請求項6の発明の半導体薄膜の製造方法は、膜中水素濃度が 1×10^{20} atoms/cm³以下の非晶質または微結晶状態のケイ素膜を堆積した後、上記ケイ素膜に対してエネルギービームを照射することによって、上記ケイ素膜を結晶化させるものである。

【0109】したがって、請求項6の発明の半導体薄膜の製造方法によれば、エネルギービーム照射後のケイ素膜において、表面ラフネスを特に低減することができ、エネルギービーム照射工程における処理マージンが拡大すると共に、結晶化後のケイ素膜において膜質の均一性が向上する。また、結晶化されたケイ素膜の表面ラフネスが低減でき、半導体素子における信頼性低下を防止できると共に、結晶化のためのエネルギーを大きくすることができるため、より高品質な結晶性ケイ素膜である半導体薄膜が得られ、その半導体薄膜を用いてより高性能な薄膜半導体装置を実現することができる。

【0110】また、請求項7の発明の半導体薄膜の製造方法は、請求項6の半導体薄膜の製造方法において、上記非晶質または微結晶状態のケイ素膜を堆積する工程において、上記ケイ素膜の膜中水素濃度を 2×10^{19} atoms/cm³以下にしたので、エネルギービーム照射時の照射エネルギー密度に依存せず、ケイ素膜の表面ラフネスを一定値以下に抑えることができる。

【0111】また、請求項8の発明の半導体薄膜の製造方法は、請求項6または7の半導体薄膜の製造方法において、上記非晶質または微結晶状態のケイ素膜を結晶化するためのエネルギービームは、波長500nm以下のレーザー光であるので、上記非晶質または微結晶状態のケイ素膜を結晶化するのに波長500nm以下のレーザー光を用いると、ケイ素膜に対する吸収係数が極めて高いため、ガラス基板に熱的ダメージを与えることなく、ケイ素膜のみを瞬時に加熱できると共に、非晶質または微結晶状態のケイ素膜を瞬時に、融点 1414°C に加熱できるようにレーザーを高出力化することが可能となる。

【0112】また、請求項9の発明の半導体薄膜の製造方法は、請求項8の半導体薄膜の製造方法において、上記波長500nm以下のレーザー光は波長308nmのXeClエキシマレーザー光であって、上記ケイ素膜に対して照射エネルギー密度が $250 \sim 400 \text{ mJ/cm}^2$ の範囲内のXeClエキシマレーザー光を照射することによって、上記ケイ素膜を結晶化させたので、上記波長308nmのXeClエキシマレーザー光は、出力が大きいため、基板に照射するときのビームサイズを大きくでき、大面積基板に対応しやすく、また出力も比較的安定しており、量産装置に適用するのが最も望ましい。また、上記エキシマレーザー光をケイ素膜に照射して結晶化するとき、 250 mJ/cm^2 以上の照射エネルギー密度では、ケ

イ素膜がほぼ完全に下層まで溶融し、高品質な結晶性ケイ素膜が得られる一方、 $400\text{ mJ}/\text{cm}^2$ 以上の照射エネルギー密度では、ケイ素膜の膜飛びや膜剥がれが発生するため、これ以上エネルギーアップしても良好な状態の結晶性ケイ素薄膜は得られない。

【0113】また、請求項10の発明の半導体薄膜の製造方法は、請求項6乃至9のいずれか1つの半導体薄膜の製造方法において、上記膜中水素濃度を有する非晶質または微結晶状態のケイ素膜を堆積する工程において、シリコンターゲットを用いたスパッタリング法により上記ケイ素膜を堆積ので、上記シリコンターゲットを用いたスパッタリング法では、水素を用いることなく膜形成が行えるため、極めて低水素濃度のケイ素膜が得られる。また、ターゲットに高純度単結晶シリコンを用い、成膜前の到達真空度を 1×10^{-7} Torr以下にすることによって、膜中の水素濃度をさらに低減できると共に、より緻密な非晶質あるいは微結晶状態のケイ素膜が得られると共に、結晶成長に悪影響を与える酸素等の不純物を低減することができる。

【0114】また、請求項11の発明の半導体薄膜の製造方法は、請求項6乃至9のいずれか1つの半導体薄膜の製造方法において、上記膜中水素濃度を有する非晶質または微結晶状態のケイ素膜を堆積する工程を、 SiH_4 ガスを用いて、温度 550°C 以上の化学気相成長法により上記ケイ素膜を堆積するので、 Si_2H_6 に比べ、反応性の低い SiH_4 ガスを用いることによって、成膜温度を高めると共に成膜速度を低減し、得られるケイ素膜の膜中濃度を低減することができる。また、成膜時の温度を 550°C 以上によることによって、極低水素濃度のケイ素膜を得ることができ、その他の不純物元素濃度も低くできる。

【0115】また、請求項12の発明の薄膜半導体装置は、絶縁表面を有する基板上に構成されたトップゲート型薄膜トランジスタを有する薄膜半導体装置において、上記薄膜トランジスタの活性領域を、請求項1乃至5のいずれか1つの半導体薄膜を用いて形成したものである。

【0116】したがって、請求項12の発明の薄膜半導体装置によれば、上記MOS構造を有するトップゲート型薄膜トランジスタの活性領域を結晶化されたケイ素膜により形成したので、活性領域表面がなめらかになり、電界集中が生じてゲート絶縁膜の耐圧特性を大きく損うリッジがなくなり、トランジスタ動作における電界効果移動度が大きくなる。また、照射エネルギー密度のばらつきによる複数の薄膜トランジスタ間での特性ばらつきを最低レベルに抑えることができる。したがって、このような基板上に複数の薄膜トランジスタが配置された液晶表示用アクティブマトリクス基板のような薄膜半導体装置において、さらにこの発明の効果が発揮することができる。

【0117】また、請求項13の発明の薄膜半導体装置は、絶縁表面を有する基板上に構成された画素電極を駆動する薄膜トランジスタを有し、上記薄膜トランジスタに上記画素電極による液晶容量と並列に補助容量が接続された薄膜半導体装置において、上記薄膜トランジスタのチャネル領域とその薄膜トランジスタに接続された上記補助容量を構成する一方の電極とを、請求項1乃至5のいずれか1つの半導体薄膜を用いて形成したものである。

【0118】したがって、請求項13の発明の薄膜半導体装置によれば、上記高品質な結晶化されたケイ素膜である半導体薄膜は、上記トップゲート型薄膜トランジスタを初めとする薄膜半導体装置全般において、その活性領域に利用できる一方、液晶表示用のアクティブマトリクス基板において、上記半導体薄膜を用いて、画素用薄膜トランジスタのチャネル領域と共に、液晶画素容量と並列に接続された補助容量の一方の電極を構成するので、その補助容量の一方の電極の表面ラフネスの絶対値およびばらつきが大きく低減され、補助容量のばらつきを抑えて、表示むらのない表示品位の高い液晶表示装置が得られる。

【図面の簡単な説明】

【図1】 図1はレーザー照射エネルギー密度とケイ素膜表面の平均面粗さとの関係を示す図である。

【図2】 図2はレーザー照射前のケイ素膜の膜中水素濃度とケイ素膜表面の平均面粗さとの関係を示す図である。

【図3】 図3は第1実施形態の半導体薄膜の製造方法を示す工程図である。

【図4】 図4は第1実施形態におけるレーザー照射工程の概要を示す図である。

【図5】 図5は第2実施形態の半導体薄膜の製造方法を用いた液晶表示装置のアクティブマトリクス基板の平面図である。

【図6】 図6は第2実施形態の半導体薄膜の製造方法を示す工程図である。

【図7】 図7はケイ素膜表面における原子間力顕微鏡(AFM)像を示す図である。

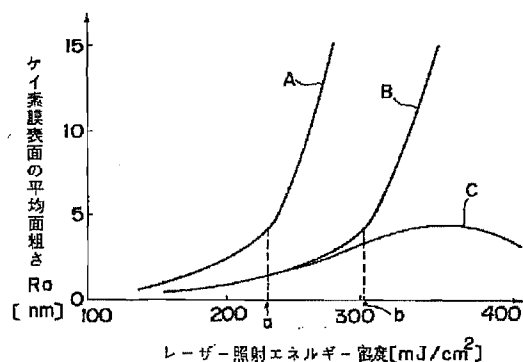
【符号の説明】

- 1, 31…基板、
- 2, 32…下地膜、
- 3, 33…非晶質ケイ素膜、
- 4, 34…レーザー光、
- 5, 35…活性領域、
- 36…マスク、
- 7, 37…ゲート絶縁膜、
- 8, 38…ゲート電極、
- 9…陽極酸化層、
- 10, 40…不純物イオン、
- 11, 41…チャネル領域、

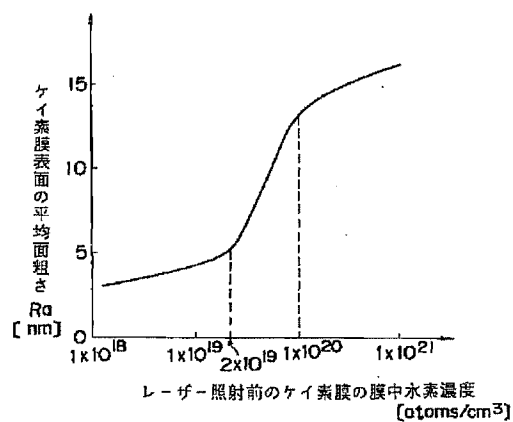
1 2, 4 2…ソース領域、
1 3, 4 3…ドレイン領域、
1 4, 4 4…層間絶縁膜、
1 5, 4 5…ソース電極、

1 6, 4 6…画素電極、
1 7, 4 7…画素用Nチャネル型薄膜トランジスタ、
4 8…補助容量。

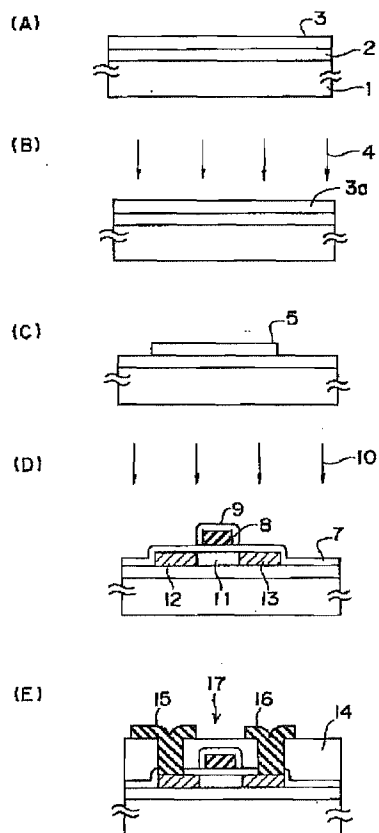
【図 1】



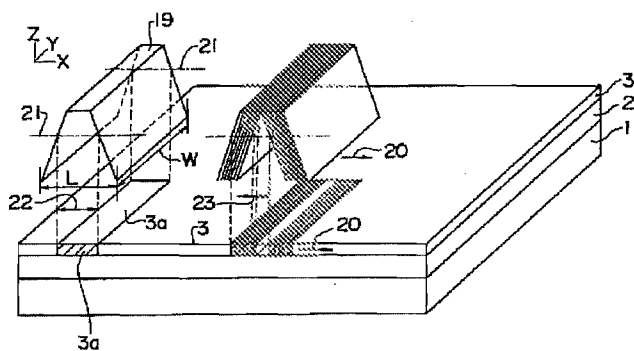
【図 2】



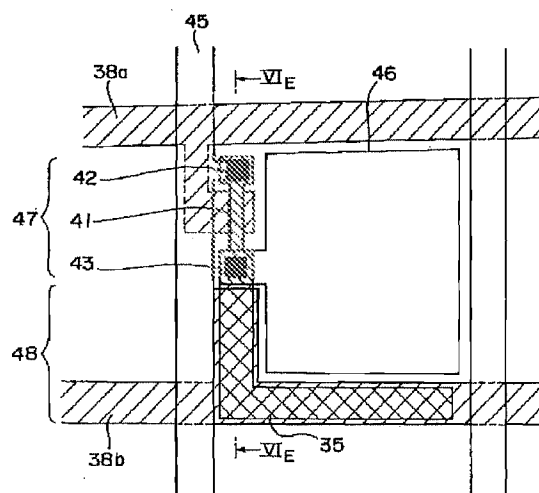
【図 3】



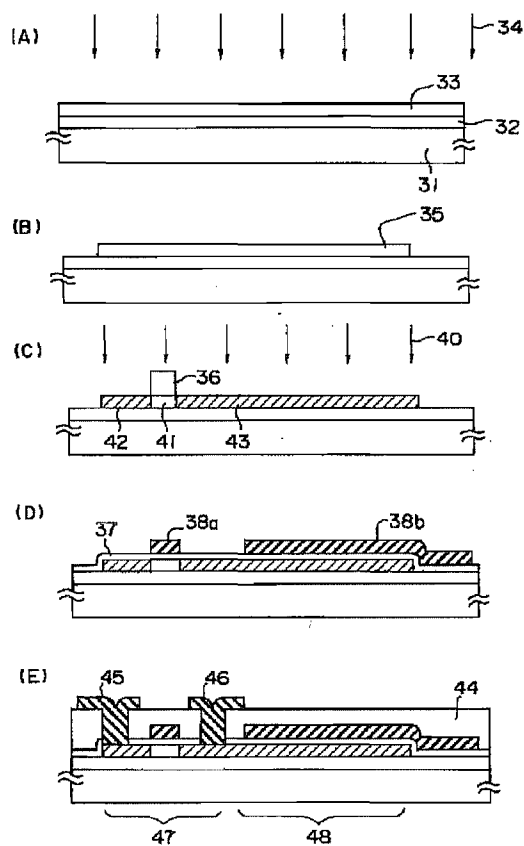
【図 4】



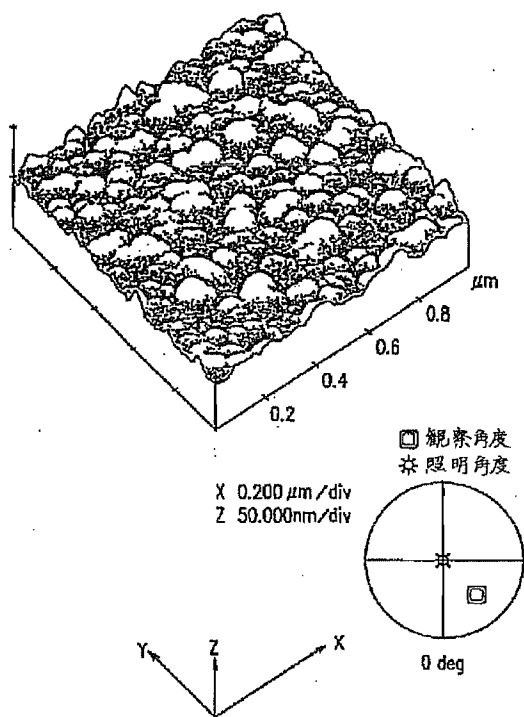
【図 5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 29/78

6 2 7 E